



Centre : Saclay

Pôle ou Direction : DRT

Dépt/Service/Labo : DTSI/SOL/LLSP

## ***Encadrement***

Nom de l'ingénieur responsable : Stéphane LOUISE	Tél. : 2 64 12
Bâtiment : 451 E-mail : Stephane.louise@cea.fr	Fax : 2 20 82
Téléphone du secrétariat : 2 45 19	
Nom du chef de laboratoire : François TERRIER	Tél. : 2 62 59

## ***Travail confié au Stagiaire***

Contexte du sujet : bibliographie, recherche, programmation ...

Le développement très actif des processeurs multicœurs, conduit par extension à des développements qui proposent des systèmes multi-processeurs complets sur puce (MPSoC). Ces systèmes sont les futures promesses de l'industrie de la micro-électronique pour poursuivre l'évolution des performances, y compris pour les systèmes embarqués et temps-réels. Le problème majeur de ses systèmes est leur programmation et l'exploitation effective de leur capacités : la programmation parallèle est très difficile et source d'erreur, et d'un autre côté la parallélisation automatique des codes est assez faiblement efficace.

OASIS est une méthode de conception de systèmes temps-réels développée au laboratoire mais qui est déjà au niveau industriel. Elle permet d'exprimer simplement des relations complexes de parallélisme et de communication pour le programmeur avec peu de code ajouté. Les idées qui le soutendent permettent de laisser à la charge de la machine le travail dur de dimensionnement et de synchronisation, ce qui laisse seulement à la charge du programmeur le soin d'exprimer les aspects les plus élémentaires et les plus intéressants de son application.

Sujet confié au stagiaire / objectifs du stage (**à compléter si besoin est sur une feuille annexe**)

**Intitulé** : « Étude des méthode d'explicitation de parallélisme »  
Ce stage concerne l'étude aussi bien bibliographique qu'au niveau performance des méthodes existantes pour exprimer le parallélisme dans les applications. On comparera les approches issues de l'état de l'art (openMP, MPI, compilateurs parallélisant ...) et d'autre part on regardera l'approche OASIS pour l'expression du parallélisme à gros grain.  
Le but est de les étudier dans le cadre d'une architecture MPSoC où le nombre d'unités de calcul est connu et spécifié à l'avance afin de proposer des moyens pour obtenir un parallélisme mieux adapté à cette cible. En effet, les autres approches sont faites pour gérer dynamiquement et a priori tout type de configuration au niveau nombre de processeurs voire même de caractéristiques de communication. Il s'agirait de voir comment le fait d'avoir une architecture fixée et spécifiée permet d'augmenter la facilité d'expression du parallélisme pour le programmeur tout en augmentant l'efficacité de la parallélisation pour la cible concernée. On établira des tests de performance sur quelques benchmarks simples.

Domaines de spécialité requis (**à classer par ordre de priorité**)

Parallélisme	Architecture des processeurs	Compilateurs
--------------	------------------------------	--------------

Moyens informatiques mis en œuvre

Langages : C, stations de travail UNIX/Linux \_\_\_\_\_  
Logiciels : \_\_\_\_\_



Autres moyens mis en œuvre (expériences, méthodes d'analyses, autres...)

Ce travail sera effectué sur la base de travaux du laboratoire.

**Formation souhaitée : Bac +5 (Master Recherche), Ingénieur**

**Durée du stage : 4 à 6 mois**

***Niveau d'habilitation requis (voir Remarques →)***

<input checked="" type="checkbox"/> Accès Sensible	<input type="checkbox"/> Garantie de Sécurité	<input type="checkbox"/> Confidentiel Défense	<input type="checkbox"/> Secret Défense
--	---	---	---